



(19)

(11) Publication number: 2001350668 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 2000169507

(51) Intl. Cl.: G06F 12/00 G11C 29/00

(22) Application date: 06.06.00

<p>(30) Priority:</p> <p>(43) Date of application publication: 21.12.01</p> <p>(84) Designated contracting states:</p>	<p>(71) Applicant: NEC SHIZUOKA LTD</p> <p>(72) Inventor: ISHINO TAKANORI</p> <p>(74) Representative:</p>
--	---

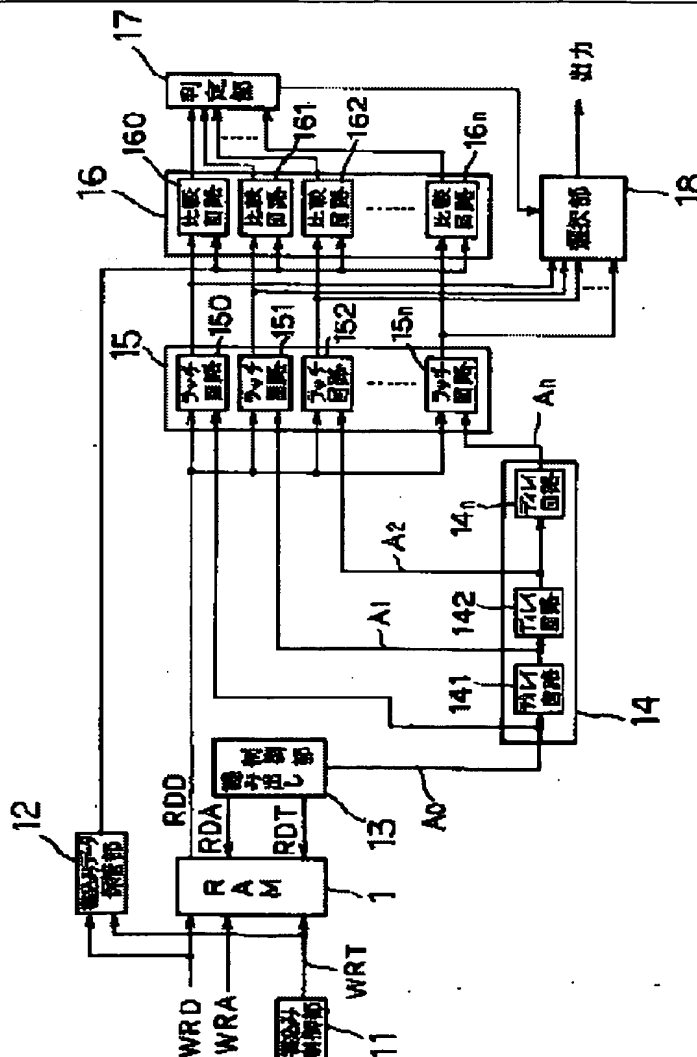
(54) MEMORY READOUT TIMING ADJUSTING CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a memory readout timing adjusting circuit automatically adjusting timing and absorbing the difference in characteristic caused by the variation and the aging change with year of every device.

SOLUTION: Prescribed data are written at a predetermined address as a check address, then check data are recorded in a written data storage section 12. A timing signal RDT is given from a readout controller 13 to read the check address. The read data RDD are latched at the timing of latch pulse signals A0-An by latching circuits 150-15n, and latched results are compared with the data recorded in the written data storage section 12 by comparing circuits 160-16n. A judging section 17 judges the optimum latch pulse signal based on compared results, and a selecting section 18 selects and outputs the input from the latching circuit corresponding to the optimum latch pulse.

COPYRIGHT: (C)2001,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-350668

(P2001-350668A)

(43) 公開日 平成13年12月21日 (2001. 12. 21)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 6 F 12/00	5 6 4	G 0 6 F 12/00	5 6 4 A 5 B 0 6 0
G 1 1 C 29/00	6 7 1	G 1 1 C 29/00	6 7 1 Z 5 L 1 0 6

審査請求 有 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願2000-169507 (P2000-169507)

(22) 出願日 平成12年 6 月 6 日 (2000. 6. 6)

(71) 出願人 000197366

静岡日本電気株式会社

静岡県掛川市下俣800番地

(72) 発明者 石野 敬則

静岡県掛川市下俣800番地 静岡日本電気

株式会社内

(74) 代理人 100088328

弁理士 金田 暢之 (外 2 名)

Fターム(参考) 5B060 CC01

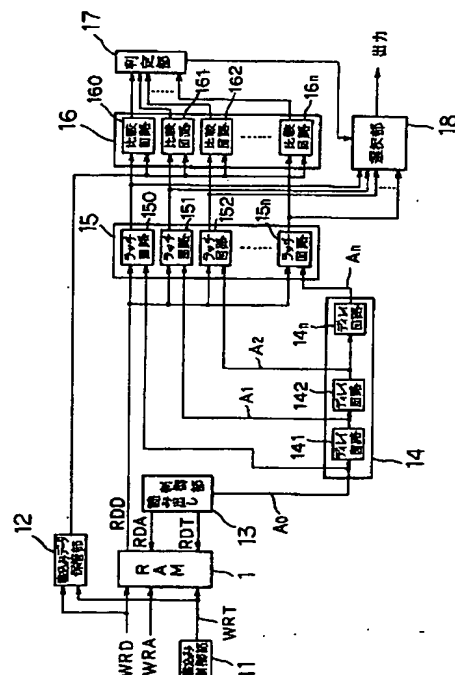
5L106 DD32 EE03 FF01 GG03 GG05

(54) 【発明の名称】 メモリ読み出しタイミング調整回路

(57) 【要約】

【課題】 タイミングを自動的に調整し装置毎バラツキや経年変化による特性の違いを吸収するメモリ読み出しタイミング調整回路を提供する。

【解決手段】 チェック用アドレスとして予め定められたアドレスに所定のデータを書込む。このとき、書込みデータ保管部12にはチェック用データが記録される。その後、読み出し制御部13からタイミング信号RDTを与えてチェック用アドレスのデータを読み出す。ラッチ回路150～15nにより、読み出されたデータRDDをラッチパルス信号A0～Anのタイミングでラッチし、ラッチ結果と書込みデータ保管部12に記録されたデータとを比較回路160～16nで比較する。比較結果に基づいて判定部17で最適なラッチパルス信号を判定し、それ以降、選択部18で最適なラッチパルス信号に対応するラッチ回路からの入力を選択して出力する。



【特許請求の範囲】

【請求項 1】 メモリから読み出されたデータをラッチするタイミングを調整するメモリ読み出しタイミング調整回路であって、

チェック用として予め定められたアドレスに所定のデータを書き込む書込み制御部と、

前記書込み制御部によって前記アドレスに書き込まれたデータを保管する書込みデータ保管部と、

前記アドレスのデータを読み出すためのタイミング信号、および該タイミング信号によって前記メモリから読み出された読み出しデータをラッチするためのラッチパルス信号を出力する読み出し制御部と、

前記ラッチパルス信号を互いに異なる時間だけ遅延させて少なくとも 1 つの遅延パルス信号を生成するラッチパルスディレイ部と、

前記ラッチパルス信号または前記遅延パルス信号に対応して設けられ、対応する前記ラッチパルス信号または前記遅延パルス信号で前記読み出しデータをそれぞれラッチする複数のラッチ回路と、

前記ラッチ回路に対応して設けられ、対応する前記ラッチ回路にラッチされたデータと前記書込みデータ保管部に保管されたデータとを比較する複数の比較回路と、

前記比較回路の比較結果に基づき、前記ラッチパルス信号および前記遅延パルス信号の中から最適なラッチタイミングの信号を判定する判定部と、

前記判定部の判定結果に基づき、最適なラッチタイミングの信号に対応する前記ラッチ回路の出力を選択する選択部を有するメモリ読み出しタイミング調整回路。

【請求項 2】 メモリから読み出されたデータをラッチするタイミングを調整するメモリ読み出しタイミング調整回路であって、

予め定められたチェック用データが外部から書きこまれたアドレスのデータを読み出すためのタイミング信号、および該タイミング信号によって前記メモリから読み出された読み出しデータをラッチするためのラッチパルス信号を出力する読み出し制御部と、

前記ラッチパルス信号を互いに異なる時間だけ遅延させて少なくとも 1 つの遅延パルス信号を生成するラッチパルスディレイ部と、

前記ラッチパルス信号または前記遅延パルス信号に対応して設けられ、対応する前記ラッチパルス信号または前記遅延パルス信号で前記読み出しデータをそれぞれラッチする複数のラッチ回路と、

前記ラッチ回路に対応して設けられ、対応する前記ラッチ回路にラッチされたデータと前記チェック用データとを比較する複数の比較回路と、

前記比較回路の比較結果に基づき、前記ラッチパルス信号および前記遅延パルス信号の中から最適なラッチタイミングの信号を判定する判定部と、

前記判定部の判定結果に基づき、最適なラッチタイミン

グの信号に対応する前記ラッチ回路の出力を選択する選択部を有するメモリ読み出しタイミング調整回路。

【請求項 3】 前記判定部は、前記アドレスに対応する前記メモリ毎に最適なラッチタイミングの信号を判定し、

前記選択部は、前記メモリからデータを読み出すとき該メモリに最適なラッチタイミングの信号に対応する前記ラッチ回路の出力を選択する、

複数の前記メモリと接続され前記アドレスが前記メモリ毎に予め定められた請求項 1 または 2 記載のメモリ読み出しタイミング調整回路。

【請求項 4】 メモリから読み出されたデータをラッチするタイミングを調整するメモリ読み出しタイミング調整回路であって、

チェック用として予め定められたアドレスに所定のデータを書き込む書込み制御部と、

前記書込み制御部によって前記アドレスに書き込まれたデータを保管する書込みデータ保管部と、

前記アドレスのデータを読み出すためのタイミング信号、および該タイミング信号によって前記メモリから読み出されたデータをラッチするためのラッチパルス信号を出力する読み出し制御部と、

前記タイミング信号によって前記メモリから出力された読み出しデータ信号を互いに異なる時間だけ遅延させて少なくとも 1 つの遅延データ信号を生成するデータディレイ部と、

前記読み出しデータ信号または前記遅延データ信号に対応して設けられ、対応する前記読み出しデータ信号または前記遅延データ信号を前記ラッチパルス信号でそれぞれラッチする複数のラッチ回路と、

前記ラッチ回路に対応して設けられ、対応する前記ラッチ回路にラッチされたデータと前記書込みデータ保管部に保管されたデータとを比較する複数の比較回路と、

前記比較回路の比較結果に基づき、前記読み出しデータ信号または前記遅延データ信号の中から最適な遅延の信号を判定する判定部と、

前記判定部の判定結果に基づき、最適な遅延の信号に対応する前記ラッチ回路の出力を選択する選択部を有するメモリ読み出しタイミング調整回路。

【請求項 5】 メモリから読み出されたデータをラッチするタイミングを調整するメモリ読み出しタイミング調整回路であって、

予め定められたチェック用データが外部から書きこまれたアドレスのデータを読み出すためのタイミング信号、および該タイミング信号によって前記メモリから読み出されたデータをラッチするためのラッチパルス信号を出力する読み出し制御部と、

前記タイミング信号によって前記メモリから出力された読み出しデータ信号を互いに異なる時間だけ遅延させて少なくとも 1 つの遅延データ信号を生成するデータディ

レイ部と、
前記読み出しデータ信号または前記遅延データ信号に対応して設けられ、対応する前記読み出しデータ信号または前記遅延データ信号を前記ラッチパルス信号でそれぞれラッチする複数のラッチ回路と、
前記ラッチ回路に対応して設けられ、対応する前記ラッチ回路にラッチされたデータと前記チェック用データとを比較する複数の比較回路と、
前記比較回路の比較結果に基づき、前記読み出しデータ信号または前記遅延データ信号の中から最適な遅延の信号を判定する判定部と、
前記判定部の判定結果に基づき、最適な遅延の信号に対応する前記ラッチ回路の出力を選択する選択部を有するメモリ読み出しタイミング調整回路。

【請求項6】 前記判定部は、前記アドレスに対応する前記メモリ毎に最適な遅延の信号を判定し、
前記選択部は、前記メモリからデータを読み出すとき該メモリに最適な遅延の信号に対応する前記ラッチ回路の出力を選択する、
複数の前記メモリと接続され前記アドレスが前記メモリ毎に予め定められた請求項4または5記載のメモリ読み出しタイミング調整回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、信号のタイミングを自動調整する回路に関し、特に、メモリからの読み出しデータのラッチタイミングを調整するメモリ読み出しタイミング調整回路に関する。

【0002】

【従来の技術】従来の一般的なメモリ読み出し回路では、メモリへのアクセスタイミングは設計で定められたタイミングに固定されている。この固定されたタイミングが装置毎、素子毎のバラツキや経年変化などを全て吸収する必要があり、設計は困難であった。また、設計変更等でアクセスするメモリが変更された場合、タイミング設計を見直して必要に応じてメモリ読み出し回路を設計変更する必要があった。

【0003】設計の困難さや設計変更作業の煩雑さを解消し、設計の自由度と汎用性を増すためにディップスイッチなどを設けてタイミング調整を可能にしたメモリアクセス回路がある。メモリから読み出されたデータのラッチタイミングをディップスイッチの設定によって可変にしたものである。

【0004】これによれば、装置の出荷試験時などに個別に調整することで装置毎、素子毎のバラツキを吸収することができ、装置を使用し始めた後に時折、調整することで経年変化を吸収することができる。

【0005】

【発明が解決しようとする課題】ディップスイッチ等による従来のメモリ読み出しタイミング調整回路は、装置

毎、素子毎のバラツキを吸収するために、装置の出荷試験などで個別にタイミングを調整する作業が必要であり工数を増大させる要因の1つであった。

【0006】また、経年変化を吸収するために、装置を使用し始めた後に時折、再調整する必要があり運用時における作業が煩雑であった。

【0007】本発明の目的は、データのラッチタイミングを自動的に調整することで、装置毎、素子毎のバラツキや経年変化による素子の特性の違いを吸収するメモリ読み出しタイミング調整回路を提供することである。

【0008】

【課題を解決するための手段】上記目的を達成するために、本発明のメモリ読み出しタイミング調整回路は、メモリから読み出されたデータをラッチするタイミングを調整するメモリ読み出しタイミング調整回路であって、チェック用として予め定められたアドレスに所定のデータを書き込む書き込み制御部と、書き込み制御部によって前記アドレスに書き込まれたデータを保管する書き込みデータ保管部と、前記アドレスのデータを読み出すためのタイミング信号、およびそのタイミング信号によってメモリから読み出された読み出しデータをラッチするためのラッチパルス信号を出力する読み出し制御部と、ラッチパルス信号を互いに異なる時間だけ遅延させて少なくとも1つの遅延パルス信号を生成するラッチパルスディレイ部と、ラッチパルス信号または遅延パルス信号に対応して設けられ、対応するラッチパルス信号または遅延パルス信号で読み出しデータをそれぞれラッチする複数のラッチ回路と、ラッチ回路に対応して設けられ、対応するラッチ回路にラッチされたデータと書き込みデータ保管部に保管されたデータとを比較する複数の比較回路と、比較回路の比較結果に基づき、ラッチパルス信号および遅延パルス信号の中から最適なラッチタイミングの信号を判定する判定部と、判定部の判定結果に基づき、最適なラッチタイミングの信号に対応するラッチ回路の出力を選択する選択部を有している。

【0009】したがって、本メモリ読み出しタイミング調整回路は、メモリから読み出されたデータを複数のラッチタイミングでラッチし、ラッチされた各データの正常性から最適なラッチタイミングを判定して自動的に適用することができる。

【0010】また、全てのラッチタイミングのデータの比較結果を同時に得ることができるので、複数のラッチ結果から最適なタイミングを即座に判定することができる。

【0011】本発明の他のメモリ読み出しタイミング調整回路は、メモリから読み出されたデータをラッチするタイミングを調整するメモリ読み出しタイミング調整回路であって、予め定められたチェック用データが外部から書きこまれたアドレスのデータを読み出すためのタイミング信号、およびそのタイミング信号によってメモリ

から読み出された読み出しデータをラッチするためのラッチパルス信号を出力する読み出し制御部と、ラッチパルス信号を互いに異なる時間だけ遅延させて少なくとも1つの遅延パルス信号を生成するラッチパルスディレイ部と、ラッチパルス信号または遅延パルス信号に対応して設けられ、対応するラッチパルス信号または遅延パルス信号で読み出しデータをそれぞれラッチする複数のラッチ回路と、ラッチ回路に対応して設けられ、対応するラッチ回路にラッチされたデータとチェック用データとを比較する複数の比較回路と、比較回路の比較結果に基づき、ラッチパルス信号および遅延パルス信号の中から最適なラッチタイミングの信号を判定する判定部と、判定部の判定結果に基づき、最適なラッチタイミングの信号に対応するラッチ回路の出力を選択する選択部を有している。

【0012】これによれば、メモリへの書き込みと読み出しが別装置によって行われる構成においても読み出しタイミングの調整が可能である。

【0013】本発明の実施態様によれば、判定部は、前記アドレスに対応するメモリ毎に最適なラッチタイミングの信号を判定し、選択部は、メモリからデータを読み出すとき、そのメモリに最適なラッチタイミングの信号に対応するラッチ回路の出力を選択する、複数のメモリと接続され前記アドレスがメモリ毎に予め定められたメモリ読み出しタイミング調整回路である。

【0014】これによれば、複数のメモリのデータを読み出す回路構成において、各メモリからの読み出しデータをそれぞれに最適なタイミングでラッチすることができる。

【0015】本発明のさらに他のメモリ読み出しタイミング調整回路は、メモリから読み出されたデータをラッチするタイミングを調整するメモリ読み出しタイミング調整回路であって、チェック用として予め定められたアドレスに所定のデータを書き込む書き込み制御部と、書き込み制御部によってアドレスに書き込まれたデータを保管する書き込みデータ保管部と、アドレスのデータを読み出すためのタイミング信号、およびそのタイミング信号によってメモリから読み出されたデータをラッチするためのラッチパルス信号を出力する読み出し制御部と、タイミング信号によってメモリから出力された読み出しデータ信号を互いに異なる時間だけ遅延させて少なくとも1つの遅延データ信号を生成するデータディレイ部と、読み出しデータ信号または遅延データ信号に対応して設けられ、対応する読み出しデータ信号または遅延データ信号をラッチパルス信号でそれぞれラッチする複数のラッチ回路と、ラッチ回路に対応して設けられ、対応するラッチ回路にラッチされたデータと書き込みデータ保管部に保管されたデータとを比較する複数の比較回路と、比較回路の比較結果に基づき、読み出しデータ信号または遅延データ信号の中から最適な遅延の信号を判定する判定

部と、判定部の判定結果に基づき、最適な遅延の信号に対応するラッチ回路の出力を選択する選択部を有している。

【0016】本発明のさらに他のメモリ読み出しタイミング調整回路は、メモリから読み出されたデータをラッチするタイミングを調整するメモリ読み出しタイミング調整回路であって、予め定められたチェック用データが外部から書きこまれたアドレスのデータを読み出すためのタイミング信号、およびそのタイミング信号によってメモリから読み出されたデータをラッチするためのラッチパルス信号を出力する読み出し制御部と、タイミング信号によってメモリから出力された読み出しデータ信号を互いに異なる時間だけ遅延させて少なくとも1つの遅延データ信号を生成するデータディレイ部と、読み出しデータ信号または遅延データ信号に対応して設けられ、対応する読み出しデータ信号または遅延データ信号をラッチパルス信号でそれぞれラッチする複数のラッチ回路と、ラッチ回路に対応して設けられ、対応するラッチ回路にラッチされたデータとチェック用データとを比較する複数の比較回路と、比較回路の比較結果に基づき、読み出しデータ信号または遅延データ信号の中から最適な遅延の信号を判定する判定部と、判定部の判定結果に基づき、最適な遅延の信号に対応するラッチ回路の出力を選択する選択部を有している。

【0017】本発明の実施態様によれば、判定部は、前記アドレスに対応するメモリ毎に最適な遅延の信号を判定し、選択部は、メモリからデータを読み出すとき、そのメモリに最適な遅延の信号に対応するラッチ回路の出力を選択する、複数のメモリと接続され前記アドレスがメモリ毎に予め定められたメモリ読み出しタイミング調整回路である。

【0018】

【発明の実施の形態】本発明の実施形態のメモリ読み出しタイミング調整回路について図面を参照して詳細に説明する。

【0019】図1を参照すると、本発明の一実施形態のメモリ読み出しタイミング調整回路は、書き込み制御部11と書き込みデータ保管部12と読み出し制御部13とラッチパルスディレイ部14とデータラッチ部15と比較部16と判定部17と選択部18を有している。

【0020】書き込み制御部11は、RAM1にデータの書き込みを行うためのタイミング信号WRTを出力する。

【0021】書き込みデータ保管部12は、タイミング調整時にRAM1に書き込んだデータを記録する。

【0022】読み出し制御部13は、RAM1からデータを読み出すためにRAM1に与えるタイミング信号RDT、およびRAM1から読み出されたデータをラッチするためのラッチパルス信号A0を出力する。

【0023】ラッチパルスディレイ部14は、入力信号を所定時間だけ遅延させて出力するディレイ回路14

1, 142, ..., 14n (nは自然数) が直列に接続されている。読み出し制御部13が出力したラッチパルス信号A0がディレイ回路141に入力されており、ディレイ回路141, 142, ..., 14nから遅延時間の異なるラッチパルス信号A1, A2, ..., Anをそれぞれ出力している。

【0024】データラッチ部15は、ラッチ回路150, 151, 152, ..., 15nを有している。ラッチ回路150, 151, 152, ..., 15nはそれぞれラッチパルス信号A0, A1, A2, ..., AnのタイミングでRAM1から読み出されたデータをラッチして出力する。

【0025】データ比較部16は、比較回路160, 161, 162, ..., 16nを有している。比較回路160, 161, 162, ..., 16nはそれぞれラッチ回路150, 151, 152, ..., 15nの出力と書き込みデータ保管部12に記録されたデータとを比較する。

【0026】判定部17は、比較回路160, 161, 162, ..., 16nの比較結果から最適なラッチパルス信号を判定する。

【0027】選択部18は、判定部17で最適と判定されたラッチパルス信号に対応するラッチ回路の出力を選択して出力する。

【0028】次に、図1のメモリ読み出しタイミング調整回路のタイミング調整時の動作について説明する。タイミング調整時にチェック用データを書き込みまた読み出しするために、メモリ1の所定のアドレスをチェック用アドレスとして予め決めておく。

【0029】まず、チェック用アドレスを書き込みアドレスとして指定し、所定のチェック用データを書き込みデータとして、書き込み制御部11からRAM1に書き込みタイミング信号WRTを与えてRAM1への書き込み動作を行う。このとき、書き込みデータ保管部12にチェック用データが記録される。

【0030】その後、読み出しアドレスRDAとしてチェック用アドレスを指定して、読み出し制御部13からRAM1にタイミング信号RDTを与えてデータを読み出す。

【0031】ラッチ回路150, 151, 152, ..., 15nにより、読み出されたデータRDDをラッチパルス信号A0, A1, A2, ..., Anのタイミングでラッチする。ラッチ回路150, 151, 152, ..., 15nの出力(ラッチ結果)と書き込みデータ保管部12に記録されたデータとを比較回路160, 161, 162, ..., 16nで比較する。

【0032】各比較回路160, 161, 162, ..., 16nの比較結果を通知された判定部17は、それらの一致/不一致に基づいて最適なラッチパルス信号を判定する。例えば判定方法の一例として、一致した比較回路が1つであればそれに対応するラッチパルス信号を最適と判定し、一致した比較回路が連続していたら、それら

に対応するラッチパルス信号の中の中心、すなわち最も安定したものを最適と判定する方法がある。また、別の方法として、一致した比較回路が連続していたら、それらに対応するラッチパルス信号の中で最も遅延時間の小さいラッチパルス信号を最適と判定し、データ読み出しにかかる時間をできるだけ短くする方法がある。

【0033】それ以降、選択部18は最適なラッチパルス信号に対応するラッチ回路からの入力を選択して出力する。

【0034】したがって、本実施形態のメモリ読み出しタイミング調整回路は、RAM1から読み出されたデータを複数のラッチタイミングでラッチし、ラッチされた各読み出しデータの正常性から最適なラッチタイミングを判定して自動的に適用するので、メモリ読み出し回路の設計時のタイミング条件が緩和されて設計の自由度が上がる。

【0035】また、設計変更によるメモリの変更、メモリ実装位置変更による読み出し回路とメモリとの位置関係の変化、メモリ追加/削除による各信号への負荷増大/減少、経年変化などでRAM読み出し時にデータをラッチする最適なタイミングが変化しても、最適なタイミングに自動調整されて安定動作する。

【0036】さらに、判定部17は比較回路160, 161, 162, ..., 16nから全ての比較結果を同時に得ることができるので、複数のラッチ結果から最適なタイミングを即座に判定することができ、異なるタイミングで順次ラッチして試行錯誤によって調整するような複雑な制御が不要である。

【0037】なお、本実施形態のメモリ読み出しタイミング調整回路は、図2に示すように、書き込み制御部11が他の装置など外部にあってもよい。

【0038】書き込みデータ保管部12が存在しない構成であってもよい。

【0039】その場合、メモリ書き込みタイミング調整回路は書き込みデータ保管部12の代わりに予め定められたチェック用データを保管したチェック用データ保管部21を有し、外部の回路からそのチェック用データがRAM1に書き込まれる。

【0040】そして、メモリ読み出しタイミング調整回路は、読み出し制御部13によって読み出されたデータRDDをラッチ回路150, 151, 152, ..., 15nでラッチし、比較回路160, 161, 162, ..., 16nでチェック用データ保管部21に保管されているチェック用データと比較する。

【0041】これによれば、RAM1への書き込みと読み出しが別装置によって行われるようなシステム構成においてもタイミング調整を行うことができる。

【0042】また、本実施形態のメモリ読み出しタイミング調整回路は、複数のメモリに対してそれぞれに最適な遅延のラッチパルス信号を判定し、読み出し動作時の

アドレスに応じて、最適な遅延のラッチパルス信号でラッチされたデータを選択して出力する回路であってよい。

【0043】その場合、メモリ読み出しタイミング調整回路はタイミング調整動作をメモリ毎に複数回行う。そして、図3に示すように、各タイミング調整動作の判定部21の判定結果は読み出し制御部22に通知される。全てのタイミング調整動作が終了した以降のメモリ読み出し動作においては、読み出し制御部22がアドレスに応じて選択部18の選択を制御する。

【0044】これによれば、1つのメモリ読み出し回路が複数のメモリのデータを読み出す構成において、各メモリからの読み出しデータをそれぞれに最適なタイミングでラッチすることができるので、メモリの実装位置によらず安定した読み出し動作が可能である。

【0045】特に、読み出し回路とメモリとが互いに別の装置にあり、読み出し回路とメモリとの位置関係が各メモリ毎に大きく異なる場合に有効である。

【0046】次に、本発明の他の実施形態のメモリ読み出しタイミング調整回路について図面を参照して詳細に説明する。

【0047】図4を参照すると、本発明の他の実施形態のメモリ読み出しタイミング調整回路は、書き込み制御部11と書き込みデータ保管部12と読み出し制御部13とデータディレイ部41とデータラッチ部15と比較部16と判定部17と選択部18を有している。

【0048】書き込み制御部11は、RAM1にデータの書き込みを行うためのタイミング信号WRTを出力する。

【0049】書き込みデータ保管部12は、タイミング調整時にRAM1に書き込んだデータを記録する。

【0050】読み出し制御部13は、RAM1からデータを読み出すためにRAM1に与えるタイミング信号RDT、およびRAM1から読み出されたデータをラッチするためのラッチパルス信号Aを出力する。

【0051】データディレイ部41は、入力したデータを所定時間だけ遅延させて出力するディレイ回路411、412、…、41nが直列に接続されている。RAM1から読み出されたデータRDD0がディレイ回路211に輸入されており、ディレイ回路411、412、…、41nから遅延時間の異なるデータ信号RDD1、RDD2、…、RDDnをそれぞれ出力する。

【0052】データラッチ部15は、ラッチ回路151、152、…、15nを有している。ラッチ回路150、151、152、…、15nはそれぞれラッチパルス信号Aのタイミングで、それぞれデータRDD0、RDD1、RDD2、…、RDDnをラッチして出力する。

【0053】データ比較部16は、比較回路160、161、162、…、16nを有している。比較回路160、161、162、…、16nはそれぞれラッチ回路

150、151、152、…、15nの出力と書き込みデータ保管部12に記録されたデータとを比較する。

【0054】判定部17は、比較回路160、161、162、…、16nの比較結果から最適な遅延の読み出しデータを判定する。

【0055】選択部18は、判定部17で最適と判定された読み出しデータに対応するラッチ回路の出力を選択して出力する。

【0056】次に、図4のメモリ読み出しタイミング調整回路のタイミング調整時の動作について説明する。図1の回路と同様にメモリ1の所定のアドレスをチェック用アドレスとして予め決めておく。

【0057】まず、書き込み制御部11からRAM1に書き込みタイミング信号WRTを与えてRAM1のチェック用アドレスにチェック用データを書き込む。このとき、書き込みデータ保管部12にチェック用データが記録される。

【0058】その後、読み出し制御部13からRAM1にタイミング信号RDTを与えてチェック用アドレスのデータを読み出す。

【0059】読み出されたデータRDD0、およびディレイ回路411、412、…、41nで遅延されたデータRDD1、RDD2、…、RDDnをラッチ回路150、151、152、…、15nによりラッチパルス信号Aのタイミングでラッチする。

【0060】ラッチ回路150、151、152、…、15nの出力（ラッチ結果）と書き込みデータ保管部12に記録されたデータとを比較回路160、161、162、…、16nで比較し、判定部17で、それらの比較結果に基づいて最適な遅延のデータを判定する。

【0061】それ以降、選択部18は最適な遅延のデータに対応するラッチ回路からの入力を選択して出力する。

【0062】したがって、本実施形態のメモリ読み出しタイミング調整回路は、RAM1から読み出されたデータとラッチタイミングとのタイミング関係として、複数の中から最適なタイミング関係を判定して自動的に適用するので、メモリ読み出し回路の設計時のタイミング条件が緩和されて設計の自由度が上がる。

【0063】また、RAM読み出し時にデータをラッチする最適なタイミングが変化しても、最適なタイミングに自動調整されて安定動作する。

【0064】さらに、全ての比較結果を同時に得ることができるので、最適なタイミングを即座に判定することができ、試行錯誤によって調整するような複雑な制御が不要である。

【0065】

【発明の効果】本発明によれば、メモリから読み出されたデータを複数のラッチタイミングでラッチし、ラッチされた各データの正常性から最適なラッチタイミングを

判定して自動的に適用することができるので、メモリ読み出し回路の設計時のタイミング条件が緩和されて設計の自由度が上がる。

【0066】また、メモリからの読み出しデータをラッチする最適なタイミングが変化しても、最適なタイミングに自動調整されて安定動作する。

【0067】さらに、全ての比較結果を同時に得ることができるので、最適なタイミングを即座に判定することができ、試行錯誤によって調整するような複雑な制御が不要である。

【0068】さらに、メモリへの書込みと読み出しが別装置によって行われる構成においても読み出しタイミングの調整が可能であり、メモリの実装位置によらず安定した読み出し動作が可能である。

【図面の簡単な説明】

【図1】本発明の一実施形態のメモリ読み出しタイミング調整回路の構成を示すブロック図である。

【図2】書込み制御部が外部にある場合のメモリ読み出しタイミング調整回路の構成を示すブロック図である。

【図3】複数の各メモリに最適なタイミングを選択するメモリ読み出しタイミング調整回路の構成を示すブロッ

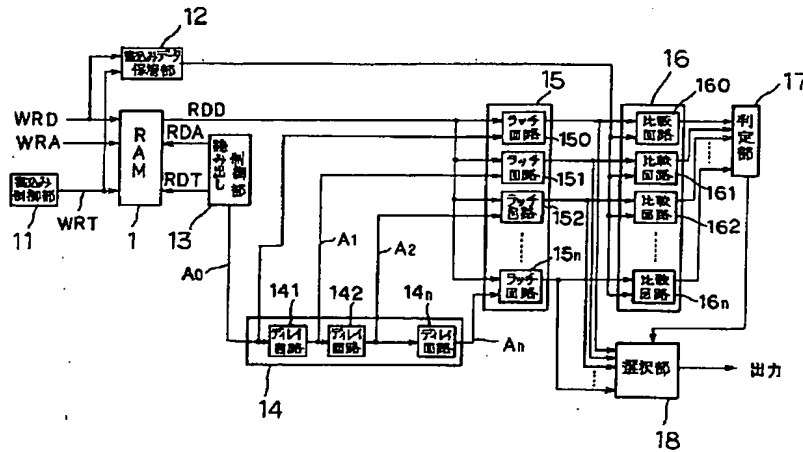
ク図である。

【図4】本発明の他の実施形態のメモリ読み出しタイミング調整回路の構成を示すブロック図である。

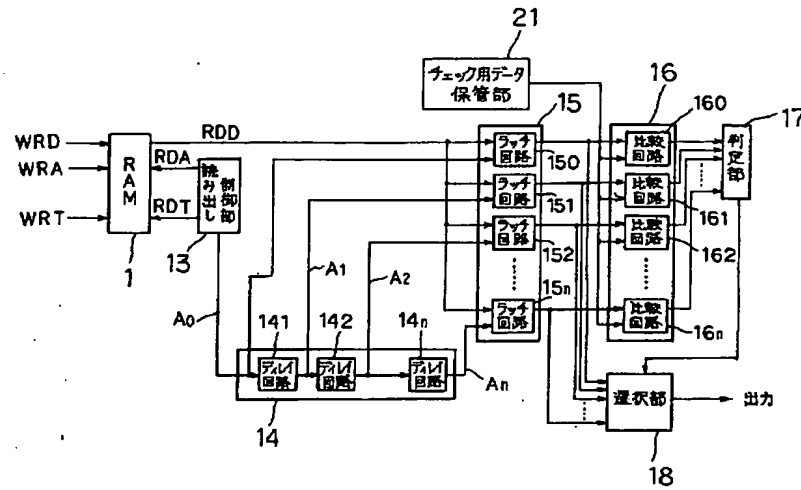
【符号の説明】

- 1 RAM
- 11 書込み制御部
- 12 書込みデータ保管部
- 13 読み出し制御部
- 14 ラッチパルスディレイ部
- 141～14n デイレイ回路
- 15 データラッチ部
- 150～15n ラッチ回路
- 16 データ比較部
- 160～16n 比較回路
- 17 判定部
- 18 選択部
- 21 チェック用データ保管部
- 31 判定部
- 32 読み出し制御部
- 41 データディレイ部
- 411～41n デイレイ回路

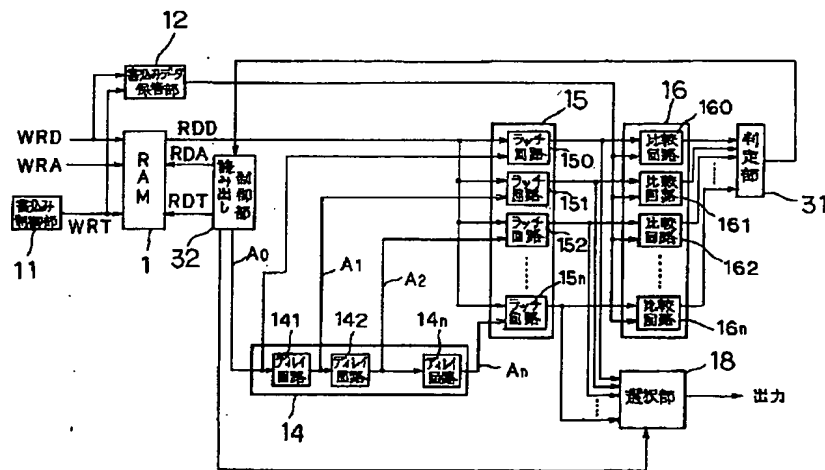
【図1】



【図2】



【図3】



【図4】

